

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-249478

(43)Date of publication of application : 30.10.1987

(51)Int.Cl.

H01L 27/10
G11C 17/00
H01L 27/04

(21)Application number : 61-092180

(71)Applicant : HITACHI VLSI ENG CORP
HITACHI LTD

(22)Date of filing : 23.04.1986

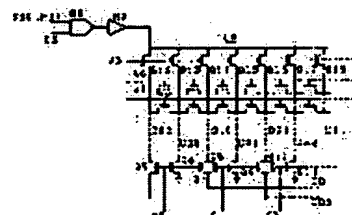
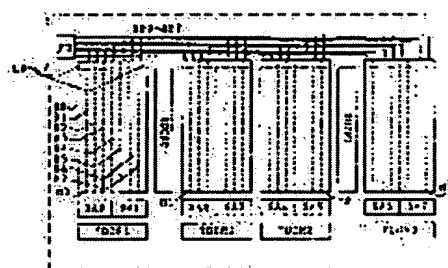
(72)Inventor : SAKAI KIKUO
SHIBATA TAKASHI
KOBAYASHI ISAMU
MORIUCHI HISAHIRO
OGATA SHINKO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To reduce power consumption at the time of reading operation and under non-selecting state by a method wherein the reading operation is performed by making an MOSFET which supplies a predetermined bias voltage to a selected data line corresponding to the respective memory array or memory block to which the selected data line belongs.

CONSTITUTION: As switching MOSFET's Q8~Q10 are in ON state when the level of a selection signal Y1 is high, memory information in two memory MOSFET's connected to data lines D10 and D01 is read out into common data lines CD1 and CD0. The memory MOSFET's which are provided between the selected data line D10 and a common source line CS0 and between the data line D01 and a common source line CS2 are made to be in non-operating state because switching MOSFET's Q6 and Q11 which correspond to the memory MOSFET's are turned OFF. Therefore, the potentials of the data lines D10 and D01 are determined in accordance with the memory information of two respective memory MOSFET's provided between the common source line CS1 and the data line D10 and between the common source line CS1



and the data line D01 respectively.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-249478

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月30日

H 01 L 27/10
G 11 C 17/00
H 01 L 27/04

3 0 4

7735-5F
B-6549-5B
A-7514-5F

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭61-92180

⑯ 出 願 昭61(1986)4月23日

⑰ 発 明 者 酒 井 菊 雄 小平市上水本町1448番地 日立超エル・エス・アイエンジニアリング株式会社内

⑱ 発 明 者 柴 田 隆 嗣 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 発 明 者 小 林 勇 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑳ 発 明 者 森 内 久 裕 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

㉑ 出 願 人 日立超エル・エス・アイエンジニアリング株式会社
小平市上水本町1448番地

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 記憶情報に従って比較的高いしきい値電圧か又は比較的低いしきい値電圧かを持つようにされた記憶素子がデータ線とワード線との交点にマトリックス配置されてなる複数のメモリアレイを含み、アドレス信号を解釈して形成される信号に基づいて、選択されるデータ線が属する1つのメモリアレイ又は上記メモリアレイが分割されて構成されるメモリブロックの単位で、データ線又はデータ線と共通ソース線に所定のバイアス電圧を供給する負荷MOSFETを動作状態にさせることを特徴とする半導体記憶装置。

2. 上記記憶素子は、メモリセルであるMOSFETのゲート電極を通したイオン打ち込み法によりそのチャンネル領域に不純物が選択的に導入されることにより、他のメモリセルと異なるしきい値電圧を持つようにされるものであることを特徴

とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、例えば、イオン打ち込み法によって書き込みが行われるマスク型ROM(リード・オンリー・メモリ)に利用して有効な技術に関するものである。

(従来の技術)

ワード線とデータ線との交叉点に記憶情報に従って記憶用MOSFETを形成する横型マスク型ROMが公知である(例えば、座標出版特、1977年9月30日付「ICメモリの使い方」新田松雄、大表良一共著、頁73～頁76参照)。

このマスク型ROMにおいては、ワード線とデータ線との交叉点にMOSFETのゲート絶縁膜を厚く形成して正常に動作しないMOSFETがあるいはゲート絶縁膜を薄く形成して正常に動作するMOSFETを形成することによって、記憶情報を書き込むものである。

〔発明が解決しようとする問題点〕

本願発明者等は、イオン打ち込み法によってMOSFETのチャンネル領域表面に、アルミニウムのデータ線を形成後に、その基板ゲートと同導電型の不純物を導入することによって、大きなしきい値電圧を持つような記憶MOSFETを形成することによって書き込みを行うマスク型ROMを開発した。この場合、半導体集積回路のほぼ最終工程において、上記イオン打ち込み法により書き込みを行うことができる。これによって、半導体集積回路の製造工程の共通化が図れるので製造効率の向上を図ることができる。

しかし、約1Mビット又は2Mビットのような大記憶容量化されたマスク型ROMにおいては、非選択状態（スタンバイ状態）での記憶用MOSFETのドレインリーク電流による消費電流が無視できなくなる。特に、上記のように、イオン打ち込み法による書き込みが行われる記憶用MOSFETにおいては、アルミニウム等比較的低い温度の融点を持つ金属が形成されているため、上

記融点以上の高温処理を必要とするソース、ドレインのアニールが完全には行えない。したがって、記憶用MOSFETのドレイン領域の結晶欠陥等により上記リーク電流が比較的大きくされるため、上記非選択状態における消費電流が比較的大きくなってしまふ。

この発明の目的は、低消費電力化を実現した半導体記憶装置を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、記憶情報に従って比較的高いしきい値電圧か又は比較的低いしきい値電圧かを持つようにされた記憶素子をデータ線とワード線との交点にマトリックス配置して、選択されるデータ線が属するメモリアレイ又は上記メモリアレイを分割して構成されるメモリブロックを単位として、上

記データ線に設けられるMOSFETを動作状態としてバイアス電圧を供給するものである。

〔作 用〕

上記した手段によれば、選択されたデータ線が属するメモリアレイ又はメモリブロックの単位で、データ線に所定のバイアス電圧を供給するMOSFETを動作状態にさせて読み出し動作を行うものであり、非選択状態では全てのデータ線をハイインピーダンス状態にできるから、読み出し動作時及び非選択状態での低消費電力化を実現できる。

〔実施例〕

第1図には、この発明が適用されたマスク型ROMの一実施例の主要ブロック図が示されている。同図において、メモリアレイとその選択回路を構成するデコーダ及びセンスアンプのみが示され、アドレスバッファ、データ出力回路及びタイミング制御回路及びこれら各回路ブロック間の信号線は、本発明と直接関係がないので省略されている。

特に制限されないが、メモリアレイは、M0ないしM3のように4つからなり、各メモリアレイ

M0ないしM3は、それぞれ点線で示すように8つのメモリブロックB0ないしB7から構成される。上記メモリアレイM0とM1及びM2とM3との間に、それぞれXデコーダXDCR0及びXDCR1が配置される。

同図において、メモリアレイM0ないしM3は、それぞれ後述するようなYゲート回路（カラム選択回路）を含んでいる。メモリアレイM0ないしM3において、上記Yゲート回路によりそれぞれ選択されたデータ線からの読み出し信号は、一対のセンスアンプSA0、SA1ないしSA6、SA7によりそれぞれ増幅される。

上記各メモリアレイM0ないしM3のYゲート回路には、それぞれYデコーダ回路YDCR0ないしYDCR3により形成される選択信号が供給される。

特に制限されないが、上記Xデコーダ回路XDCR0とXDCR1により、メモリアレイM0とM1及びM2とM3のそれぞれ1つのワード線の選択動作が行われる。また、上記Yデコーダ回路

YDCR0ないしYDCR3により、メモリアレイM0ないしM3に対してそれぞれセンスアンプSA0、SA1ないしSA6、SA7に対応して一対のデータ線の選択信号が形成される。これにより、上記各メモリアレイM0ないしM3から、それぞれ2ビットずつの読み出し信号が得られるから、合計で8ビットの単位での読み出し動作が行われる。

この実施例では、非選択状態及び読み出し状態での低消費電力化を図るため、メモリアレイM0ないしM3は、同図に点線で示すようにそれぞれメモリブロックB0ないしB7に対応されて分割される負荷回路L0ないしL7を含んでいる。これらの負荷回路L0ないしL7は、プリデコード回路PDにより形成された選択信号SB0ないしSB7により、必要な動作電圧が供給される。すなわち、各メモリアレイM0ないしM3において、それぞれ8つに分割されてなるメモリブロックB0ないしB7のうち、それぞれ選択されるデータ線が属する1つのメモリブロックに対応した1つ

の負荷回路が、上記選択信号SB0ないしSB7により択一的に動作状態にされる。

第2図には、上記第1図に示した1つのメモリブロックB0の一実施例を示す回路図が示されている。同図の各回路素子は、特に制限されないが、公知のCMOS回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。特に制限されないが、集積回路は、単結晶P型シリコンからなる半導体基板に形成される。NチャンネルMOSFETは、かかる半導体基板表面に形成されたソース領域、ドレイン領域及びソース領域とドレイン領域との間の半導体基板(チャンネル領域)表面に薄い厚さのゲート絶縁膜を介して形成されたポリシリコンからなるようなゲート電極から構成される。PチャンネルMOSFETは、上記半導体基板表面に形成されたN型ウェル領域に形成される。これによって、半導体基板は、その上に形成された複数のNチャンネルMOSFETの共通の基板ゲートを構成する。N型ウェル領域は、その上に形成されたPチャ

ネルMOSFETの基板ゲートを構成する。

メモリブロックB0は、例示的に示されている横方向に配置された複数のワード線W0~Wnと、縦方向に配置された複数のデータ線(ビット線又はディジット線)D00~D01等との交叉点に記憶用MOSFETQmが形成される。

この実施例では、記憶素子の高密度化と読み出し動作時の低消費電力化のために、特に制限されないが、一対のデータ線D00、D10との間に、それらと並行に走る共通ソース線CS0が設けられる。共通ソース線CS0は、それに対応された上記一対のデータ線D00、D10に、そのドレインが接続された記憶用MOSFETQmのソースがそれぞれ共通接続される。また、上記データ線D10は、隣りの共通ソース線CS1に、そのソースが結合された記憶用MOSFETのドレインが共通に接続される。上記共通ソース線CS1に対応された他の記憶用MOSFETのドレインは、データ線D01に接続される。このデータ線D10には、その隣りに設けられた共通ソース線

CS2に、そのソースが結合された記憶用MOSFETのドレインが共通に結合される。

このように、データ線と共通ソース線は交互に配置され、端部のデータ線D00を除いて、異なるYアドレスが割り当てられた記憶用MOSFETのドレインに共通に接続される。

すなわち、データ線D00は、Yゲート回路(カラムスイッチ)を構成するMOSFETQ5を介して共通データ線CD0に結合される。それに対応された共通ソース線CS0は、スイッチMOSFETQ6を介して回路の接地電位点に結合される。また、上記共通ソース線CS0に対応された他のデータ線D10は、Yゲート回路を構成するMOSFETQ7を介して共通データ線CD1に結合される。これらのスイッチMOSFETQ5~Q7のゲートには、前記YデコーダYDCR0により形成された選択信号Y0が共通に供給される。

上記データ線D10は、また他のYアドレス(Y2)が割り当てられたYゲート回路を構成す

るMOSFETQ8を介して共通データ線CD1に結合される。上記データ線D10の右隣りに配置された共通ソース線CS1は、スイッチMOSFETQ9を介して回路の接地電位点に結合される。この共通ソース線CS1の右隣りに配置されたデータ線D01は、Yゲート回路を構成するMOSFETQ10を介して共通データ線CD0に結合される。これらのMOSFETQ8~Q10のゲートには、上記YデコーダYDCR0により形成された選沢信号Y1が供給される。以下、同様なパターンの繰り返しにより、データ線、共通データ線及びスイッチMOSFETが形成される。

同じ行に配置された記憶用MOSFETのゲートは、それに対応されたワード線W0~Wnにそれぞれ結合される。ワード線W0~Wnは、前記XデコーダXDCR0により形成された選沢信号が供給される。

例えば、選沢信号Y0がハイレベルにされると、スイッチMOSFETQ5~Q7がオン状態にされるため、データ線D00とD10に結合された

2つの記憶用MOSFETの記憶情報が共通データ線CD0、CD1に読み出される。このとき、選沢されたワード線に結合された他のデータ線に結合された記憶用MOSFETは、それに対応された共通ソース線に設けられるスイッチMOSFETがオフ状態にされる結果、記憶用MOSFETを通して電流が流れなくされる。このような共通ソース線の選沢動作によって、上記選沢されたデータ線D10と共通ソース線CS1との間に設けられた記憶用MOSFETも非動作状態にされる。このため、データ線D10は、共通ソース線CS0との間に設けられた記憶用MOSFETの記憶情報に従った電位にされる。

また、選沢信号Y1がハイレベルにされたなら、スイッチMOSFETQ8~Q10がオン状態にされるため、データ線D10とD01に結合された2つの記憶用MOSFETの記憶情報が共通データ線CD1、CD0に読み出される。このとき、上記同様に上記選沢されたデータ線D10と共通ソース線CS0及びデータ線D01と共通ソース

線CS2との間に設けられた記憶用MOSFETは、それに対応されたスイッチMOSFETQ6及びQ11がオフ状態にされるため非動作状態にされる。このため、データ線D10とD01は、それぞれ共通ソース線CS1との間に設けられた2つの記憶用MOSFETの記憶情報に従った電位にされる。

上記のようなメモリアレイ(メモリブロック)1本のワード線に多数の記憶用MOSFETが結合されているにもかかわらず、データ線が選沢された記憶用MOSFETにしかその記憶情報に従った電流しか流れないため、低消費電力化を図ることができる。また、共通ソース線のYアドレスに従った選沢動作により、データ線に異なるYアドレスが割り当てられた記憶用MOSFETが結合できるから、記憶用MOSFETを高密度で配置することができる。

この実施例では、読み出し動作における非選沢のメモリブロックの記憶用MOSFETQm等及び非選沢状態での記憶用MOSFETQm等のド

レインリーク電流による消費電流の増大を防止するために、上記各データ線D00~D10等及び共通ソース線CS0~CS2等に設けられる負荷回路L0は、所定のバイアス電圧VSを受けるMOSFETQ12ないしQ18等から構成される。これらのMOSFETQ12ないしQ18等のドレインは、前記プリデコーダPDにより形成されるメモリブロック選沢信号SB0と内部チップ選沢信号CSとを受けるPチャンネルMOSFETとNチャンネルMOSFETとからなる公知のCMOSナンド(NAND)ゲート回路G0とCMOSインバータ回路N0を介して電源供給が行われる。

第2図のマスク型ROMの構造を、第3図及び第4図に示す。第4図は第3図のA-A切断線に沿う断面図である。第3図において、図面を簡略にするために、絶縁膜2、9及び15は省略している。

第2図のマスク型ROMの1つのメモリセルは、ソース領域あるいはドレイン領域として用いられ

る一対の n^+ 型半導体領域1、ゲート絶縁膜(SiO₂)2及びゲート電極3を備えた1つのMOSFETQmを用いて構成される。半導体領域1は、 p^+ 型シリコン単結晶半導体基板4の表面に設けられている。隣接するMOSFETQmの間はフィールド絶縁膜5で電氣的に分離してある。ゲート電極3は、フィールド絶縁膜5上を延在してワード線Wを構成している。ゲート電極3(及びワード線W)は、多結晶シリコン層3Aとその上部に設けたモリブデンシリサイド層3Bとで構成されるポリサイド構造を有する。7はアルミニウムからなる導電層であり、データ線D又は共通ソース線CSとして用いられ、層間絶縁膜9に形成されたコンタクトホール8を通して、半導体領域1に接続される。絶縁膜9は例えばフッ素シリケートガラス膜からなる。4つのメモリセルに共通のドレインとされた領域1に対して、データ線Dが接続される。4つのメモリセルに共通のソースとされた領域1に対して、共通ソース線CSが接続される。ゲート電極3を通したイオン

打ち込みを行うため、ゲート電極3上にはアルミニウム層7が存在しない。開口13は、その下部のMOSFETQmに不純物、例えば p 型不純物であるボロンを導入するため、層間絶縁膜9を一部エッチングにより除去して形成する。導入された不純物をアニールにより活性化して p 型半導体領域14が形成される。 p 型不純物が導入されたMOSFETQmのしきい値電圧は、他のMOSFETQmのしきい値電圧より高くなる。15は保護膜であり、半導体基板4の上層を覆うように形成される。

上記記憶用MOSFETQmは、記憶情報に従って異なるしきい値電圧を持つようにされる。特に制限されないが、論理“1”の書き込みが行われる記憶用MOSFETは、開口13を通しての(開口13形成のためのレジストマスクを残した状態での)選択的なイオン打ち込み技術によって、そのゲート電極3下の半導体基板(チャンネル領域)4に、その半導体基板と同じ導電型の不純物(ボロン)が導入されることにより、比較的高い

しきい値電圧を持つようにされる。このようなイオン打ち込み技術による書き込み工程は、半導体ウェハ上に形成される半導体集積回路のほぼ最終工程、例えば、アルミニウム層7からなるデータ線D又は共通ソース線CS形成後のメモリセルであるMOSFETQmのゲート電極3を通してのイオン打ち込み工程により実施される。このため、記憶用MOSFETQmのアニールが完全に施されない(約450℃以下の低温で行われる)ため、上記イオン打ち込みによる結晶欠陥が回復しない。このため、そのPN接合でのリーク電流が比較的大きくされるとともに、ドレイン耐圧が比較的低くされる。

したがって、上記負荷MOSFETQ12ないしQ18等のゲートには、約3V程度の比較的低い電圧にされたバイアス電圧VSが供給される。これにより、上記メモリブロックB0が選択された場合において、各データ線及び共通ソース線には上記バイアス電圧VSからMOSFETQ12等のしきい値電圧を差し引いた約2Vのような比

較的低いバイアス電圧が供給されるものとなる。

上記記憶用MOSFETの読み出し動作において、例えばメモリブロックB0に設けられた一対のデータ線の読み出しを行うとき、他のメモリブロックB1ないしB7においては、それに対応した負荷MOSFETからバイアス電圧の供給が行われないから、上記のようなドレインリーク電流による消費電力の増加を防止できる。

また、上記のようにメモリアレイM0ないしM3のそれぞれをメモリブロックB0ないしB7のように分割して、各メモリアレイM0ないしM3のそれぞれから1個のメモリブロックからの読み出しを行うようにすることによって、センスアンプの数を減らすことができる。すなわち、メモリアレイM0ないしM3毎に、それぞれ合計8ビットの読み出し信号を得る場合には、それぞれに8個のセンスアンプを設けることが必要になる。また、上記のようにメモリブロック毎に負荷回路を設けた場合には、動作開始時の電流集中を分散させることができる。すなわち、上述のようにメモ

リアレイ毎の負荷回路を設けると、メモリアレイM0ないしM3のうち、選択された1つのメモリアレイの電源配線に多数の負荷MOSFETの動作開始による電流集中が生じてしまう。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

- (1)読み出し動作において、選択されたデータ線が属するメモリブロックを単位として、それに設けられる負荷MOSFETのみを動作状態にすることによって、他のメモリブロックにおいては、それに対応した負荷MOSFETからバイアス電圧の供給が行われないから、記憶用MOSFETのドレインリーク電流による消費電力の増加を防止できる。また、非選択状態においては、データ線又はデータ線と共通ソース線から記憶用MOSFETのドレイン、ソースと基板間に流れるリーク電流の発生を防止することができる。これによって、大記憶容量化を図った場合でも低消費電力化を図ることができるという効果が得られる。
- (2)複数のメモリアレイをそれぞれ複数のメモリブ

ロックに分割して、それぞれから1つのメモリブロックを選択することにより、センスアンプの数を減らすことができるという効果が得られる。

(3)データ線と平行に走るよう構成される記憶用MOSFETの共通ソース線をY(カラム)選択信号によって選択的に接地することにより、非選択の記憶用MOSFETに電流を流れなくできるから選択されたメモリブロックにおける低消費電力化を図ることができるという効果が得られる。

(4)上記(3)により、共通ソース線に選択機能を持たせることができるから、データ線に異なるYアドレスが割り当てられる記憶用MOSFETを共通に接続することができる。これによって、データ線の数を減らすことができるから、記憶用MOSFETを高密度に形成することができるという効果が得られる。

(5)上記(1)により、読み出し動作及び非選択状態での記憶用MOSFETのドレインリーク電流の発生を防止できるから、半導体ウェハ上に形成される半導体記憶装置の最終工程において、イオン打

ち込み技術による書き込みを行うマスク型ROMの大記憶容量化を図ることができるという効果が得られる。

以上本発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第2図において、負荷MOSFETQ12ないしQ18等は、ディプレッション型MOSFETを用いるものであってもよい。この場合、上記ディプレッション型MOSFETのゲートに回路の接地電位を供給して、そのしきい値電圧を利用してデータ線及び共通ソース線の電位を約2Vのような電位にバイアスさせることができる。このようなディプレッション型MOSFETを用いた場合には、前記バイアス電圧VSを発生させる定電圧回路が不要となることその他、そのしきい値電圧(データ線及び共通ソース線のバイアス電圧)のプロセスバラツキを±0.2Vのような高精度で設定できる。また、第1図又は第2図において、メモリブロッ

クから1ビットの単位での読み出しを行う場合、一対のセンスアンプをYアドレス信号に従って選択的に動作させ、共通のデータ出力バッファから出力させるものとしてもよい。また、メモリアレイ(メモリブロック)の構成は、記憶用MOSFETは、そのソースが直接回路の接地電位に接続されるものであってもよい。この場合には、記憶用MOSFETのドレインは、それぞれ独立した1つのデータ線に結合される。また、複数のメモリアレイの中から1つのメモリアレイに配置される複数のデータ線を選択するようにして、メモリアレイ毎に設けられる負荷回路をそれに応じて動作状態にするものであってもよい。

さらに、記憶用MOSFETに対する書き込み方法は何であってよい。例えば、記憶用MOSFETとしてFAMOS(フローティングゲート・アバランシェインジェクションMOSFET)等を用いて、その書き込みを電気的に行うものであってもよい。

この発明は、マスク型ROM、EPROM(イ

レーザブル・プログラマブル・リード・オンリー・メモリ) 等のように記憶情報に従って異なる2つのしきい値電圧を持つようにされた記憶素子からなる半導体記憶装置に広く利用できるものである。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、選択されたデータ線が属するメモリブロックを単位として、それに設けられる負荷MOSFETのみを動作状態にすることによって、他のメモリブロックにおいては、読み出し動作のときでもそれに対応した負荷MOSFETからバイアス電圧の供給が行われなから、記憶用MOSFETのドレインリーク電流による消費電力の増加を防止でき、非選択状態(スタンバイ状態)においては、データ線又はデータ線と共通ソース線から記憶用MOSFETのドレイン、ソースと基板間に流れるリーク電流の発生を防止することができる。

4. 図面の簡単な説明

第1図は、この発明が適用されたマスク型ROMの要部一実施例を示す要部ブロック図、

第2図は、そのメモリブロックの一実施例を示す回路図、

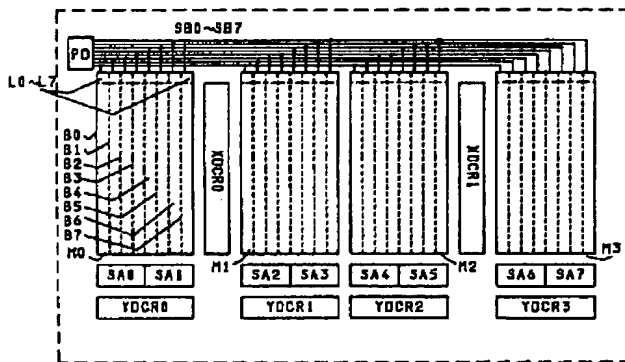
第3図は、第2図のマスク型ROMのメモリセルの平面図、

第4図は、第2図のマスク型ROMのメモリセルの断面図である。

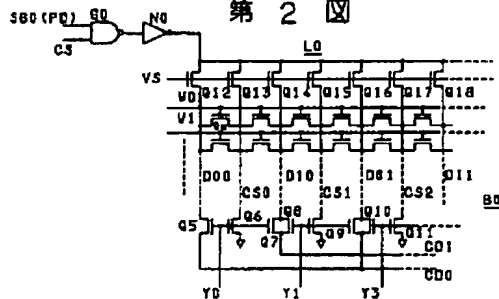
M0~M3・・・メモリアレイ、B0~B7・・・メモリブロック、XDCR0~XDCR1・・・Xデコーダ、YDCR0~YDCR3・・・Yデコーダ、SA0~SA7・・・センスアンプ、L0~L7・・・負荷回路、PD・・・プリデコーダ

代理人弁理士 小川 勝男

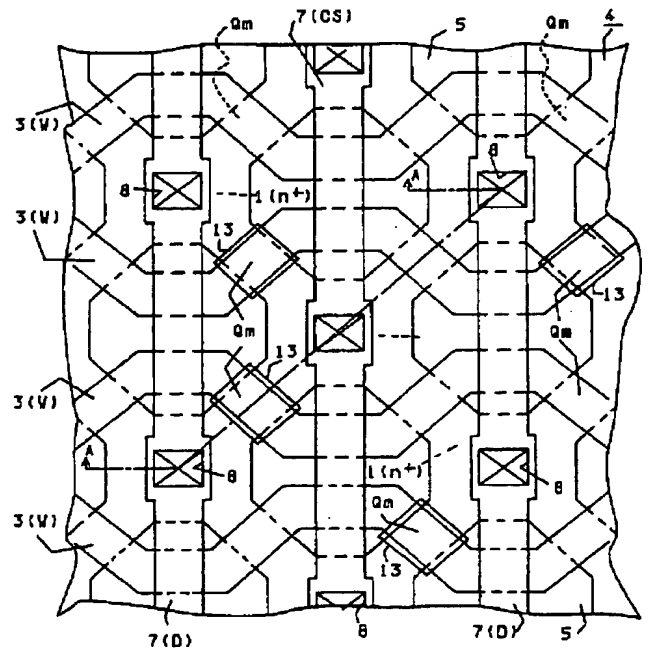
第1図



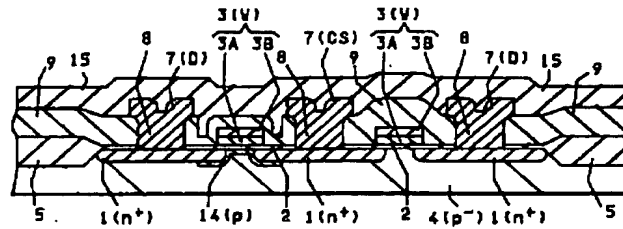
第2図



第3図



第 4 図



第1頁の続き

⑦発 明 者 尾 方 真 弘 小平市上水本町1448番地 日立超エル・エス・アイエンジ
ニアリング株式会社内